

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication
number:**1020010014823****A**(43) Date of publication of application:
26.02.2001

(21) Application number:

1020000021899

(71) Applicant:

SHARP CORPORATION

(22) Date of filing:

25.04.2000

(72) Inventor:

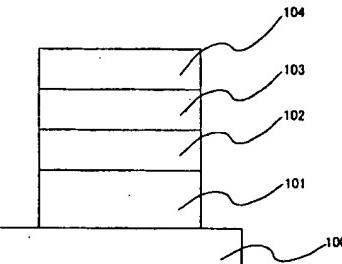
TAKATANI KUNIHIRO

(51) Int. Cl

H01L 33/00**(54) ELECTRODE STRUCTURE OF P-TYPE GROUP III NITRIDE SEMICONDUCTOR LAYER AND METHOD FOR FORMING THE SAME**

(57) Abstract:

PURPOSE: Provided is an electrode structure on a P-type group III nitride semiconductor layer, which is stable and has a low resistance, and a high adhesive strength. CONSTITUTION: An electrode structure on a P-type group III nitride semiconductor layer includes a first, a second, and a third electrode layers, (102, 103, 104), where the first electrode layer (102) contains at least one kind selected out of a first metal group composed of Ti, Hf, Zr, V, Nb, Ta, Cr, W and Sc, the second electrode layer (103) contains at least one kind selected out of a second metal group composed of Ni, Pd, and Co, and the third electrode layer (104) contains Au.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000425)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20050823)

Patent registration number (1005254940000)

Date of registration (20051025)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2003101000458)

Date of requesting trial against decision to refuse (20030212)

공개특허특 2001-0014823

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶
H01L 33/00

(11) 공개번호 특2001-
0014823
(43) 공개일자 2001년02월26일

(21) 출원번호 10-2000-0021899
(22) 출원일자 2000년04월25일

(30) 우선권주장 11-1177751999년04월26일 일본(JP)
(71) 출원인 샤프 가부시키가이샤 마찌다 가쓰히코
일본 오사카후 오사카시 아베노구 나가이케조 22방 22고
(72) 발명자 타카타니쿠니히로
일본 나라야마토타카다시히노데히가시혼초17-34-205
(74) 대리인 백덕열
심사청구 : 있음

(54) P형 III족 질화물 반도체층 상의 전극 구조 및 그의 제조방법**요약**

본 발명에 따른 p형 III족 질화물 반도체층 상의 전극 구조는 그 반도체층 상에 순차적으로 적층된 제 1, 제 2 및 제 3의 전극층(102, 103 및 104)을 포함하고, 제 1전극층(102)은 Ti, Hf, Zr, V, Nb, Ta, Cr, W 및 Sc로 이루어지는 제 1금속군으로부터 선택된 적어도 하나를 포함하며, 제 2전극층(103)은 Ni, Pd 및 Co로 이루어지는 제 2 금속군으로부터 선택된 적어도 하나를 포함하고, 또 제 3전극층(104)은 Au를 포함하는 것을 특징으로 한다.

대표도**도1****명세서****도면의 간단한 설명**

도 1은 본 발명의 전극 구조에 있어서, III족 질화물 반도체 접촉층 상에 복수의 금속층이 퇴적된 직후의 상태를 나타내는 개략 단면도.

도 2는 본 발명의 전극 구조에 있어서, 오믹(ohmic)화 어닐링 처리 후의 상태를 나타내는 개략 단면도.

도 3은 실시예 1에 따른 전극 구조의 오믹화 어닐링 온도 및 접촉저항의 관계를 나타내는 그래프.

도 4는 실시예 1의 전극 구조에 있어서, Ti층과 Ni층의 바람직한 층 두께 범위를 나타내는 그래프.

도 5는 실시예 2에 따른 전극 구조에 있어서, 오믹화 어닐링 온도 및 접촉저항의 관계를 나타내는 그래프.

도 6은 실시예 2에 따른 전극 구조에 있어서, Ti층과 Pd층의 바람직한 층 두께 범위를 나타내는 그래프.

도 7은 종래 전극 구조에 있어서, 오믹화 열처리 후의 상태를 나타내는 개략 단면도.

도 8은 비교예 Au/Ti/Ni 전극 구조와 종래 Au/Ni 전극 구조에 따른 오믹화 어닐링 온도 및 접촉저항의 관계를 나타내는 그래프.

도 9는 비교예 Au/(TiNi 합금) 전극 구조에 따른 오믹화 어닐링 온도 및 접촉저항의 관계를 실시예 1과 대비하여 나타낸 그레프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 예컨대, 반도체 레이저 다이오드로 대표되는 III족 질화물 반도체 장치에 있어서 전극 구조 개선에 관한 것이다.

III족 질화물 반도체에 있어서, 예컨대 $In_xGa_yAl_zN$ (단, $x+y+z=1$, $0 \leq x < 1$, $0 < y \leq 1$, $0 \leq z < 1$)로 나타내지는 GaN계 화합물 반도체는 큰 에너지 밴드갭이나 높은 열안정성을 갖고, 또 그 조성을 조절함으로써 밴드갭 폭을 조절할 수도 있다. 따라서, GaN계 반도체는 발광 소자나 고온 장치를 위시하여 여러 가지의 반도체 장치에 응용 가능한 재료로 기대되고 있다. 특히, GaN계 재료를 이용한 발광 다이오드(LED)에는 파란색에서부터 적색의 광 파장 영역까지 수 cd급의 광도를 갖는 장치가 이미 개발되어 실용화되고 있다. 또한 장파장 광용 LED를 얻어 LED 디스플레이를 풀 칼라화하는 것이나, GaN계 재료를 이용한 레이저 다이오드(LD)의 실용화가 연구개발의 목표가 되고 있다.

도 7은 GaN계 재료를 이용한 반도체 장치에 있어서, 종래 부터 이용되어온 p형 전극 구조를 도시한 개략적인 단면도이다. 이 p형 전극에 있어서는 p형 GaN으로 이루어지는 접촉층(501) 위에 Ni 금속층(502)을 퇴적하여 질소 분위기 중 500°C에서 10분간 어닐링함으로써 GaN층(501)과 Ni층(502)과의 확산 반응에 의한 중간층(504)이 형성된다. Ni층(502) 위에는 또한 와이어 본딩 또는 장치의 장착을 위해 표면 전극층(503)이 적층되어 있다. 이 표면 전극층(503)의 재료로서는 Au 등이 이용되는 경우가 많다.

이와 같은 전극 구조에 있어서, 중간층(504)은 p형 GaN층(501)과 Ni층(502)가 직접 접촉한 경우에 계면에 발생하는 쇼트키 배리어(Schottky barrier)를 완화시키는 효과를 가져온다.

발명이 이루고자 하는 기술적 과제

그렇지만, 도 7에 예시된 바와 같이 종래 기술에 의한 p형 GaN계 접촉 층상의 p형 전극에 있어서는 그 옴 특성(ohmic characteristic)이 불안정하고, 비접촉저항치도 비교적 높아 약 $10^{-2}\Omega\text{cm}^2$ 정도의 범위 내에 있다고 하는 문제 가 있다. 예컨대, 반도체 레이저의 p형 전극에 필요한 비접촉저항치는 약 $10^{-3}\Omega\text{cm}^2$ 정도 이하이고, 이것을 종래 기술에서 달성하는 것은 곤란하다.

따라서 본 발명자가 종래 기술에 의한 p형 전극 구조를 상세하게 검토한 결과, 도 7에서 형성된 중간층(504)의 주요 성분은 Ga와 Ni의 화합물(Ga-Ni 화합물: 이하, 원소 X와 원소 Y의 화합물을 X-Y로 표시함)로부터 이루어지는 것을 알아냈다.

또 중간층(504)의 특성은 GaN층(501)의 표면 상태, 그 GaN층(501)과 Ni층(502) 사이의 계면 반응의 진행 상태, 또한 어닐링 온도 등에 따라 영향을 받기 쉽고, 이와 같은 중간층(504)을 포함하는 p형 전극에서는 안정한 일정의 전극 특성을 얻는 것이 곤란하다는 것도 밝혀냈다. 특히, 중간층(504)의 형성이 불충분한 경우에는 p형 전극과 p형 GaN 접촉층(501) 사이의 밀착 강도가 현저히 저하하고, 반도체 장치를 스템(stem) 등과 전기적으로 연결하기 위한 와이어 본딩 시, 전극의 박리가 빈발한다는 것도 알아냈다.

또한, 중간층(504)의 내부에는 주요 성분으로서 Ga-Ni 화합물 이외에 Ni-N 화합물도 형성되어 있다는 것도 알아냈

다. 이 Ni-N 화합물을 위한 N 공급원은 p형 GaN층(501)이다. 즉, GaN층(501) 중의 N 원자가 중간층(504) 중에 흡출되고, p형 GaN층(501)의 표면 근방이 고저항층(또는 n형층)으로 변질함으로써 p형 전극 구조의 고저항화를 일으킨다는 것도 밝혀냈다.

발명의 구성 및 작용

본 발명자가 밝힌 상기와 같은 선행기술에 따른 과제에 비추어, 본 발명은 p형 III족 질화물 반도체층 상에서 안정한 저항율과 높은 밀착 강도를 갖는 전극 구조를 높은 수율로 제공하는 것을 목적으로 하고 있다.

본 발명에 의하면, p형 III족 화합물 반도체층 상의 전극 구조는 반도체층 상에 순차적으로 적층된 제 1, 제 2 및 제 3의 전극층을 포함하고, 제 1 전극층은 Ti, Hf, Zr, V, Nb, Ta, Cr, W 및 Sc로 이루어진 제 1 금속 군으로부터 선택된 적어도 하나를 포함하며, 제 2 전극층은 Ni, Pd 및 Co로 이루어진 제 2 금속 군으로부터 선택된 적어도 1 종 이상을 포함하고 또, 제 3 전극층은 Au를 포함하는 것을 특징으로 하고 있다.

이와 같은 전극 구조에 있어서, 제 1 전극층에 포함된 예컨대, Ti는 예를 들어 n형 GaN층에 대한 n형 전극 구조에 사용되어온 금속이고, p형 GaN층상에 Ti층을 단일체로 형성하면 그것은 쇼트키 전극으로서 작동한다. 그러나 예컨대, Ti를 포함하는 제 2 전극층과 p형 GaN층의 계면에 제 1 전극층으로서 Ti를 균일하게 소량 이용함에 따라, 소량의 Ti가 거의 쇼트키 효과를 발생하지 않고 계면 반응 촉진제로서 작용하는 것을 밝혀내었다.

그 결과, p형 전극 구조에 있어서, 양호한 음 접촉을 얻기 위해 실시되는 어닐링 온도를 종래에 비해 100 내지 200°C 정도 낮출 수 있고, 작은 비접촉저항치와 높은 밀착 강도를 얻을 수 있다는 것을 알아냈다.

제 1 전극층의 두께가 1 내지 500nm의 범위내 이고, 제 2전극층의 두께가 5nm 이상이며, 또 제 3전극층의 두께가 50 nm 이상인 것이 바람직하다.

오믹화 열처리 후에 있어서, 제 1 전극층은 제 1 금속 군에 포함되는 금속 질화물을 포함하고, 제 2 금속 군에 포함되는 금속과 Ga와의 화합물도 포함한다.

본 발명에 의하면, 또 p형 III족 질화물 반도체층 상의 전극 구조의 제조 방법에 있어서, Ti, Hf, Zr, V, Nb, Ta, Cr, W 및 Sc로 이루어지는 제 1 금속 군으로부터 선택된 적어도 하나를 포함하는 제 1 금속층을 반도체층 상에 퇴적하고, Ni, Pd 및 Co로 이루어지는 제 2 금속 군으로부터 선택된 적어도 하나를 포함하는 제 2 금속층을 제 1 금속층 상에 퇴적하며, 또 Au를 포함하는 제 3 금속층을 제 2 금속층상에 퇴적하는 것을 포함하는 것을 특징으로 한다.

이렇게 하여 제 1 부터 제 3 전극층이 퇴적된 후, 그 전극 구조는 N₂ 분위기 중, Ar 분위기 중 또는 진공 중에서 300 내지 700°C 범위 내의 온도하에서 오믹화하기 위해 열처리 된다.

본 발명의 구체예로서 하기 실시예 1 및 2를 실시하고, 그것에 관련된 사항도 검토하였다. 실시예 1은 p형 GaN 접촉층 상에 순차적으로 적층된 Ti층, Ni층 및 Au층을 포함하는 Au/Ni/Ti 전극 구조에 관한 것이고, 실시예 2는 Ni층 대신 Pd층을 사용한 Au/Pd/Ti 전극 구조에 관한 것이다.

실시예 1도 1의 개략적인 단면도를 참조하여 우선, 임의의 반도체 장치에 포함된 p형 III족 질화물 반도체의 접촉층(101)으로서, 사파이어 기판(100) 상에 p형 GaN층을 형성하였다. 이 p형 GaN층(101)을 형성하기 위해 유기 금속 기체상 성장(MOCVD)법에 따라 Mg를 도포한 GaN층을 에피택셜(epitaxially)성장 시켰다. GaN층(101)에는 10

¹⁹/cm²의 Mg가 첨가되어 있고, N₂ 분위기에서의 어닐링에 의해 p형화 처리 후에 p형 GaN층(101)은 1.5 × 10

¹⁷/cm²의 캐리어 밀도를 나타내었다.

이어, 사파이어 기판(100)을 전자 빔(EB) 진공 증발계 내에 배치하고, p형 GaN 접촉층(101) 상의 제 1, 제 2 및 제 3 전극층(102, 103 및 104)으로서, 두께 5nm의 Ti층, 두께 15nm의 Ni층 및 두께 200nm의 Au층을 각각 퇴적하였다.

마지막으로, 사파이어 기판(100)의 전극 구조 전체를 N₂ 분위기하의 약 400°C에서 어닐링함으로써 실시예 1에 따른 전극 구조를 완성하였다.

도 2에 있어서, 본 발명을 이용하여 완성한 전극 구조의 개략적인 단면도를 나타내었다. 실시예 1에 따라 400°C에서

어닐링한 후의 전극 구조를 상세히 조사한 바, 사파이어 기판(100)상에서는 하부로부터 순차적으로 p형 GaN층(101), Ti-N 화합물과 Ni-Ga 화합물과의 혼합물층(102A), Ni층(103) 및 Au층(104)으로 이루어졌다. 한편, 400°C에서 어닐링하기 전의 전극 단면 구조에서는 Ti-N과 Ni-Ga 화합물을 거의 검출되지 않았다. 이것으로부터 Ti-N과 Ni-Ga의 2 종류의 화합물은 400°C에서 오믹화 어닐링 공정 중의 반응에 의해 형성되는 것이라고 생각된다.

상술한 바와 같이, 종래 전극 구조에 따른 p형 GaN층(501)과 Ni층(502) 사이에 형성된 Ni-N 화합물은 그 전극 구조의 고저항화나 불안정성의 요인이 된다. 그러나, 실시예 1에 따른 오믹화 최종 어닐링 전에 Ti층(102)가 존재하기 때문에 그 최종 어닐링 초기에 있어서, 우선 p형 GaN층(101)과 Ti층(102) 사이에 Ti-N 화합물이 형성된다. 이 Ti-N 화합물을 위한 N은 주로 p형 GaN층(101)으로부터 공급되기 때문에 GaN층(101)의 표면은 Ga가 과도한 상태로 되어 있다. 그리고, 과도한 유리 Ga와 Ni층(103)으로부터의 Ni이 직접 반응하는 것에 의해 혼화물층(102A) 중의 Ni-Ga 화합물이 형성된다. 이와 같은 반응 과정을 거침에 따라 실시예 1에서는 p형 GaN층(101)의 표면 화학량론적 조성비를 손상함이 없이 그리고, Ni-N 화합물의 형성에 따른 고저항층(또는 n형층)을 형성함이 없이 p형 GaN 접촉층(101)과 금속 전극 사이의 오믹화 반응을 촉진시킬 수 있다고 생각된다.

그런데, Ti와 N은 서로 높은 반응성을 가지고 있기 때문에 상술한 혼합물층(102A)에 포함된 Ti-N 화합물은 도 7에 있어서와 같이 GaN층(501)과 Ni층(502) 사이 반응에 의해 발생하는 Ni-Ga 화합물 층(504)과 비교하여 보다 낮은 온도의 어닐링에 의해 생긴다. 그리고 Ti에 의해 N이 이탈되어 유리된 Ga의 존재하에서, Ni-Ga 화합물의 형성 반응도 Ni가 Ga와 N의 결합을 절단하고 Ga와 반응하는데 필요한 온도보다 낮은 어닐링 온도에서 일어나기 쉽다. 즉, 실시예 1의 전극 구조가 음 특성을 얻기 위해 필요한 어닐링을 도 7에 나타낸 종래 전극 구조에 비해 저온에서 행할 수 있다.

도 3은 이와 같은 사실을 입증하는 그래프이다. 이 그래프에 있어서, 횡축은 전극 구조를 오믹화 하기 위한 어닐링 온도 (°C)를 나타내고, 종축은 오믹화 처리후 접촉저항 (Ωcm^2)을 나타낸다.

도 3으로부터 알 수 있는 바와 같이, 종래 Au/Ni 전극 구조에 있어서는 혹점으로 나타나 있는 바와 같이 400°C 어닐링 온도에서 GaN층(501)과 Ni층(502)의 계면 반응에 의해 접촉저항이 현저하게 저하하기 시작하는데 반해, 실시예 1의 Au/Ni/Ti 전극 구조에서는 백점으로 나타나 있는 바와 같이 300°C 어닐링 온도부터 접촉저항이 현저하게 저하하기 시작하고, 종래 보다 낮은 온도에서 GaN층(101)과 Ni층(103)의 반응이 발생하기 시작하는 것을 알 수 있다. 이와 같이, 비교적 낮은 온도에서 어닐링에 의해 오믹화될 수 있는 것은 전극 제조 공정 중의 온도 제어 정도의 향상이나 공정의 간편화를 가능하게 하고, 생산 공정상에 대단히 유익한 이점이 된다.

또한, 도 3으로부터 알 수 있는 바와 같이, 실시예 1의 Au/Ni/Ti 전극 구조는 종래 Au/Ni 전극 구조에 비해 300 내지 600°C에서 어닐링 온도 범위 내에 작은 접촉저항을 갖고 있다. 또, 최소의 접촉저항을 얻을 수 있는 어닐링 온도에 대해서도 종래 Au/Ni 전극 구조에서는 500°C인데 반해, 실시예 1의 Au/Ni/Ti 전극 구조에서는 그것 보다 낮은 400°C이다. 이 이유로는 실시예 1에서는 Ti층(102)이 사이 중간에 놓이기 때문에 종래 전극 구조에서 보이는 GaN층(501)의 표면에 있어서 화학량론적 조성비의 변동이나 Ni-N 화합물의 생성에 기인하는 고저항층(또는 n형층)의 형성이 제어된 효과에 의한 것이라고 생각할 수 있다.

도 4는 실시예 1의 Au/Ni/Ti 전극 구조에 있어서, Ti층(102)과 Ni층(103) 각각의 두께를 다양하게 변화시켜 어닐링 처리한 후의 음 특성을 판정한 결과를 나타낸다. 이 도 4의 그래프에 있어서, 횡축은 Ti층(102)의 막두께(nm)를 나타내고, 종축은 Ni층(103)의 막두께(nm)를 나타낸다. 혹점은 Au/Ni/Ti 전극에 있어서 종래의 Au/Ni 전극에 비해 작은 접촉저항을 안정하게 얻을 수 있는 경우를 나타내고, ×표는 종래에 비해 명확한 개선 효과를 얻을 수 없는 경우를 나타낸다.

도 4에 나타난 바와 같이, Ti층(102)의 막두께에 관해서는 그의 약 1 내지 500nm의 범위내인 경우에 Au/Ni/Ti 전극 구조에 있어서 종래의 Au/Ni 전극 구조에 비해 작은 접촉저항이 안정하게 얻어졌다. 그러나 Ti층(102)가 1nm보다 얇고, 예컨대 0.5nm의 경우, Au/Ni/Ti 전극 구조의 어닐링후 접촉저항은 종래의 Au/Ni 전극 구조에 비해 거의 개선되지 않았다. 이것은 Ti층(102)가 너무 얇기 때문에 GaN층(101)과 계면 반응에 있어서 Ti-N 화합물을 형성하기 위한 절대량이 부족하고, Ni층(103)에서 Ni와 GaN(101) 사이의 반응이 지배적으로 되기 때문인 것으로 생각된다. 한편, Ti층(102)가 500nm보다 두꺼운 경우에는 Au/Ni/Ti 전극 구조는 어닐링 온도를 높게 하거나 시간을 길게 해도 음 특성을 나타내지 않고, 쇼트키 특성밖에 나타내지 않았다. 이것은 Ti층(102)이 너무 두껍기 때문에 Ni층(103)과 GaN층(101)이 완전하게 차단되어 Ni가 반응에 관여할 수 없게 되기 때문인 것으로 생각된다.

Ni층(103)의 막두께에 관해서는 이것이 약 5nm 이상인 경우에, Au/Ni/Ti 전극 구조에 있어서 종래 Au/Ni 전극 구조에 비해 작은 접촉저항이 안정하게 얻어졌다. 그러나 Ni층(103)이 5nm보다 얕고, 예컨대 1nm의 경우 Au/Ni/Ti 전극 구조는 어닐링후에 있어서도 음 특성이 불충분하였다. 이것은 Ni층(103)의 두께가 불충분하기 때문에 Au층(104)부

터 Ni층(103)을 관통하여 Au가 Ti층(102)까지 열확산하여 도달하기 때문인 것으로 생각된다. 한편, Ni층(103)의 막 두께의 상한치에 관해서는 그것을 $1\mu m$ 정도까지 두껍게 해도 Au/Ni/Ti 전극 구조의 전기적 특성에 대한 악영향은 보이지 않았지만, $1\mu m$ 을 초과하는 두께에서는 전극 구조가 조금 쉽게 박리되는 경향이 있다는 것이 관찰되었다. 따라서, 전극 구조를 실제의 반도체 장치에 사용함에 있어서 중요한 밀착 강도를 고려해보면, Ni층(103)의 바람직한 두께의 상한치는 $1\mu m$ 인 것으로 생각된다.

또한, 실시예 1의 Au/Ni/Ti 전극 구조의 특성을 보다 상세히 조사하기 위해 Au층을 포함하지 않는 비교예로서 Ni/Ti 전극 구조도 시험하였다. 그러나 이 Ni/Ti 전극 구조는 N

² 분위기 중의 어닐링 시, Ni가 분위기 중의 N과 화합물을 형성해 버려 양호한 음 특성을 얻을 수 없었다. 이 현상에 대해 검토한 결과, Ni층의 질화에 의한 변질을 막기 위해서는 실시예 1에 있어서와 같이 Au층(104)을 적층해 두면 좋고, Au층의 두께는 약 $50nm$ 이상이면 충분하다는 것을 알아냈다.

한편, Au층(104)의 두께의 상한치에 대해서는 전극의 전기적 특성으로부터 아무런 제한이 없다. 그러나 Au층(104)이 약 $5\mu m$ 보다 두꺼우면, 전극의 패턴화에 리프트 오프 (lift-off) 공정이 이용되는 경우에 그 리프트 오프 용이성이 저하한다. 또, 와이어 본딩 공정의 접착성 관점에서도 Au층(104)의 두께가 $5\mu m$ 이면 충분하고, 그 이상 두께여도 고가의 Au 사용량이 늘어날 뿐이고 바람직하지 않다. 따라서, Au층(104)의 두께의 바람직한 상한치는 약 $5\mu m$ 라고 생각된다.

또한, 실시예 1의 Au/Ni/Ti 전극 구조에 대한 비교예로서 Au/Ni/Ti 전극 구조와 Au/(TiNi 합금) 전극 구조도 시험하지만, 어떠한 비교예에 있어서도 실시예 1에 있어서와 같은 양호한 전기적 특성을 얻을 수 없었다. 이러한 사실은 도 3의 그래프와 마찬가지로 도 8과 도 9의 그래프에 나타나 있다.

도 8의 그래프에 있어서, 혹점과 백점은 각각의 비교예 Au/Ti/Ni 전극 구조와 종래 Au/Ni 전극 구조에 있어서 접촉저항의 어닐링 온도 의존성을 나타낸다. 이 그래프에 나타난 바와 같이, 비교예 Au/Ti/Ni 전극 구조는 어느 온도에 의한 어닐링 후에 있어서도 종래 Au/Ni 전극 구조에 비해 거의 접촉저항이 개선되지 않는다. 이는 Au/Ti/Ni 전극 구조에 있어서도 종래와 마찬가지로 Ni층이 p형 GaN층에 직접 접촉하고 있기 때문에 그 계면에 Ni-N 화합물을 생성하고, 고저항의 계면층이 생기기 때문인 것으로 생각된다.

도 9의 그래프에 있어서는 혹점과 백점이 각각 비교예 Au/(TiNi 합금) 전극 구조 및 실시예 1의 Au/Ni/Ti 전극 구조에 있어서 접촉저항의 어닐링 온도 의존성을 나타낸다. 비교예 Au/(TiNi 합금) 전극 구조에 있어서는 역시 TiNi 합금층 중의 Ni 또는 Ni의 농도가 높은 부분과 p형 GaN 접촉층이 부분적으로 직접 접촉 반응하여 Ni-N 화합물을 생성하는 경향이 있다. 따라서, 비교예 Au/(TiNi 합금) 전극 구조에서는 어닐링 후에 부분적으로 고저항 영역이 형성되고, 그 결과 전극 전체로서 평균화된 접촉저항도 높아지는 것으로 생각된다.

한편, 실시예 1의 Au/Ni/Ti 전극 구조에서는 어닐링 전에 Ti층(102)가 GaN층(101)의 표면을 도포하고 있기 때문에 고정화의 요인인 Ni-N 화합물이 생성되지 않고, 도 9에 나타낸 바와 같이 비교예 Au/(TiNi 합금) 전극 구조에 비해 작은 접촉저항치를 안정하게 얻을 수 있다. 즉, 실시예 1의 전극 구조에 있어서 전기적 특성의 개선 효과에 관해 Ni층(103)과 p형 GaN 접촉층(101) 사이에 형성된 Ti층(102)가 중요한 역할을 수행하고 있음을 알 수 있다.

또, 실시예 1에 있어서, p형 GaN 접촉층에 포함되어 있는 Mg 농도에 관해서는 1.0×10^{16}

¹⁶ 내지 1.0×10^{10}

²⁰ /cm²의 범위에서 변화되지만, 어떠한 Mg 농도의 p형 GaN 접촉층에 대해서도 Au/Ni/Ti 전극 구조에 의해 양호한 음 특성을 얻을 수 있다.

또, 실시예 1에서는 전극 구조의 오믹화 어닐링이 N₂ 분위기 중에서 실시되지만, Ar 분위기 중 또는 진공 중에서 어닐링되어도 좋다. 이 경우에는 최적의 어닐링 온도가 N

² 분위기를 이용한 경우에 비해 조금 변화하지만, 종래 Au/Ni 전극 구조의 최적 어닐링 온도에 비해 낮아지는 것에 변함은 없다.

또한, 실시예 1에 있어서는 어닐링 시의 계면 반응이 종래 예에 비해 저온에서 또한 온도 등의 조건에 영향을 받지 않고 확실히 발생하기 때문에 종래 전극에 있어서 종종 나타난 계면의 밀착도 부족에 의한 박리 문제를 발생시키지도 않는다.

실시예 2도 1을 참조하여 실시예 2에서도 실시예 1과 마찬가지로 사파이어 기판(100) 상에 Mg가 도포된 p형 GaN 접촉층(101)을 형성하였다. 이 GaN 접촉층(101) 위에는 두께 5nm의 Ti층(102), 두께 30nm의 pd층(103) 및 두께 200nm의 Au층(104)을 EB증착법에 의해 퇴적하였다.

그리고, 사파이어 기판(100) 상의 전극 구조 전체를 N₂ 분위기 하에서 약 500°C에서 어닐링 함으로써 실시예 2에 따른 전극 구조를 완성하였다.

도 2를 참조하여 이 실시예 2에 따라 완성한 전극 구조에 있어서, 사파이어 기판(100) 상에서는 하부로부터 순차적으로 p형 GaN층(101), Ti-N 화합물과 Pd-Ga 화합물의 혼합물층(102A), pd층(103) 및 Au층(104)으로 이루어져 있음이 밝혀졌다. 또, 500°C에서 어닐링 전의 전극 단면 구조에서는 Ti-N화합물과 Pd-Ga 화합물은 거의 검출되지 않았다. 이것으로부터 Ti-N과 Pd-Ga의 2 종류 화합물은 500°C에 있어서 오믹화 어닐링 공정 중의 반응에 의해 형성된다고 생각된다.

Ti층을 포함하지 않는 비교예로서 Au/Pd 전극 구조의 경우, 어닐링 처리후에 있어서 Pd층과 GaN 접촉층 사이에 Pd-N 화합물이 형성된다. 이 Pd-N 화합물은 종래 Au/Ni 전극 구조에 있어서 Ni-N 화합물과 마찬가지로 전극 구조의 고저항화나 불안정성의 요인이 된다. 그러나 실시예 2에 있어서는 오믹화 어닐링 전에 Ti층(102)가 실시예 1의 경우와 동일한 역할을 수행하기 때문에 p형 GaN층(101)의 표면 화학량론적 조성비를 훼손함이 없이, 그리고 Pd-N 화합물의 형성에 수반하는 고저항층(또는 n형층)을 형성함이 없이 p형 GaN 접촉층(101)과 금속 전극 사이의 오믹화 반응을 촉진시킬 수 있다고 생각된다.

도 3의 그래프와 마찬가지로 도 5의 그래프에 있어서, 백점과 흑점은 각각 실시예 2의 Au/Pb/Ti 전극 구조와 비교예 Au/Pd 전극 구조에 있어서 접촉저항의 어닐링 온도 의존성을 나타낸다. 이 그래프에 나타나 있는 바와 같이 400 내지 600°C 온도 범위에서 실시예 2의 Au/Pd/Ti 전극 구조는 비교예 Au/Pd 전극 구조에 비해 작은 접촉저항을 갖고 있다. 또, 계면 반응에 의한 접촉저항이 현저하게 감소하기 시작하는 어닐링 온도에 관해서도 비교예 Au/Pd 전극 구조에 있어서는 500°C부터인데 반해, 실시예 2의 Au/Pd/Ti 전극 구조에 있어서는 400°C부터이고, 약 100°C만 저하한다. 이와 같이 낮은 온도 어닐링에 의해 오믹화될 수 있는 것은 실시예 1에 기술한 바와 같이 전극 구조 공정에 있어서 특히 유익한 이점이 될 수 있다.

도 4와 유사한 도 6의 그래프는 실시예 2의 Au/Pd/Ti 전극 구조에 있어서, Ti층(102)과 pd층(103) 각각의 두께를 다양하게 변화시켜 어닐링 처리한 후의 오믹화 특성을 평가한 결과를 나타낸다. 실시예 1의 경우와 마찬가지로 실시예 2에 있어서도 Ti층(102)의 막두께가 약 1 내지 500nm의 범위내인 경우에 낮은 접촉저항을 안정하게 얻을 수 있다. Pd층(103)의 막두께에 관해서는 이것이 약 10nm 이상인 경우에 종래에 비해 낮은 접촉저항을 안정하게 얻을 수 있다. Pd층(103)의 막두께의 상한치에 관해서는 1μm 정도까지 두껍게 해도 Au/Pd/Ti 전극 구조의 전기적 특성에 대해 악영향을 보이지 않았지만, 1μm를 초과하는 두께에서는 실시예 1의 경우와 마찬가지로 전극 구조가 조금 쉽게 박리되는 경향이 있다는 것이 관측되었다. 따라서, 실시예 1의 경우와 마찬가지로 실시예 2에 있어서도 Pd층(103)의 바람직한 두께의 상한치는 약 1μm라고 생각된다.

또, Au층을 포함하지 않는 비교예 Pd/Ti 전극 구조도 시험하였다. 그러나 이 비교예의 Pd/Ti 전극 구조에 있어서도, N

₂ 분위기중의 어닐링 시에 Pd가 분위기 중의 N과 화합물을 형성해버리고, 양호한 음 특성을 얻을 수 없었다. 이 현상에 대해 검토한 결과, 실시예 1과 관련하여 기술한 바와 같이, Pd층의 질화에 의한 변질을 방지하기 위해서는 Au층을 적층해 두면 좋고, 그 Au층의 두께는 약 50nm이면 충분하다는 것을 알아냈다. 또, Au층의 두께의 상한치에 대해서는 실시예 1과 관련하여 기술한바와 같은 이유로 약 5μm 이하인 것이 바람직하다고 생각된다.

또, 실시예 1의 경우와 마찬가지로, 실시예 2에 있어서도 p형 GaN 접촉층에 포함된 Mg의 농도가 1.0×10

18 내지 1.0 × 10

20/cm²의 범위에서 변화되지만, 어떠한 Mg 농도의 p형 GaN 접촉층에 대해서도 Au/Pd/Ti 전극 구조에 의해 양호한 음 특성을 얻을 수 있다.

또, 실시예 1의 경우와 마찬가지로 상기 실시예 2의 전극 구조의 오믹화 어닐링은 N₂ 분위기 중에서 행해지지만, Ar 분위기 또는 진공 분위기에서 어닐링 되어도 좋다. 이 경우에도 최적의 어닐링 온도가 N

² 분위기를 이용한 경우에 비해 조금 변화하지만, 비교예 Au/Pd 전극 구조의 최적 어닐링 온도에 비해 낮아지는 것에 변함은 없다.

또한, 실시예 1의 경우와 마찬가지로 실시예 2에 있어서도 어닐링 시, 계면 반응이 종래예에 비해 저온에서 또한 온도 등의 조건에 영향을 받지 않고 확실히 발생하기 때문에 종래 전극에 있어서 종종 계면 밀착 강도 부족에 의한 박리 문제 발생도 없다.

관련사항 검토 상술한 실시예 1과 2의 전극 구조를 AlGaInN계 반도체 레이저 소자에 적용한 바, 종래의 전극 구조에 비해 전극부에서의 전압 강하를 낮게 억제할 수 있고, 반도체 레이저 소자 전체의 소비 전력을 절감할 수 있는 것이 확인되었다. 예컨대, 5μm의 스트라이프 (stripe) 폭과 500μm의 공진기 (resonator) 길이를 갖는 반도체 레이저에 실시예 1의 Au/Ni/Ti 전극과 종래의 Au/Ni 전극을 적용한 경우, 20mA 전류 통과시의 전극부에서의 전압 강하는 각각 약 0.8V와 약 4V이고, 본 발명에 의한 뛰어난 효과를 명확히 확인할 수 있었다. 또한 실시예 2에 있어서와 같이 Ni층 대신에 Pd층을 사용함으로써 접촉저항의 저항화를 높일 수 있고, 그에 따라 반도체 레이저 소자의 전극 부분에 있어서의 전압 강하고 더욱 낮출 수 있는 것이 확인되었다.

또, 실시예 2에 있어서는 Ti의 제 1 금속층(102) 상에 Pd의 제 2 금속층(103)이 적층되어 있지만, 이것은 실시예 1에 관련하여 기술한 바와 같이, 본 발명에 따른 특징적인 Pd-Ga 화합물과 Ti-N 화합물의 혼합층(102A)를 효과적으로 형성하기 위해 필요한 구성이다. 즉, 적층 구조가 Au/Ti/Pd 또는 Au/(TiPd 합금)이어도 본 발명의 특징인 낮은 접촉저항율을 얻을 수 없다.

또한, 상기 실시예 1과 2에서는 p형 GaN 접촉층과 직접 접촉하는 제 1 금속층(102)으로서 Ti가 사용되고 있지만, 더욱 검토한 결과 Ti에 한정되지 않고, Hf, Zr, V, Nb, Ta, Cr, W 및 Sc 등의 금속 단일체 또는 이들의 합금을 이용해도 Ti와 동일한 효과를 얻을 수 있다는 것도 알아냈다.

또한, 제 1 금속층(102) 상에 적층된 제 2 금속층으로서 Co를 선택한 Au/Co/Ti 전극 구조에 있어서도 시험했지만, 실시예 1 및 2의 경우와 마찬가지로 Ti층을 함유하지 않는 Au/Co 전극 구조에 비해 우수한 전기적 특성 및 밀착성을 얻을 수 있다는 것도 확인되었다.

또한 실시예 1과 2에서는 각 금속층의 퇴적에 EB 증착법이 이용되었지만, 금속층의 퇴적법에 관해서는 스퍼터링 (sputtering) 법이나 CVD법과 같은 다른 방법이 사용될 수 있다는 것은 말할 필요도 없다.

발명의 효과

이상과 같이, 본 발명의 전극 구조에 의하면, p형 GaN 접촉층에 대한 전극 구조의 고저항화 요인을 억제하여 저저항에서 양호한 음 특성을 갖는 전극 구조를 실현할 수 있고, 접촉층과 전극 구조 사이의 밀착 강도도 개선되며, 반도체 장치의 생산 수율을 대폭 향상시킬 수 있다. 또한, 본 발명의 부차적인 효과로서 전극 구조의 오믹화에 필요한 어닐링 온도를 종래에 비해 낮게 할 수 있기 때문에 반도체 장치의 제조 공정에 있어서의 간편화나 제어의 용이화에 크게 공헌할 수 있다.

(57) 청구의 범위

청구항1

p형 III족 질화물 반도체층 상의 전극 구조에 있어서, 상기 반도체층 상에 순차적으로 적층된 제 1, 제 2 및 제 3의 전극층을 포함하고; 상기 제 1전극층은 Ti, Hf, Zr, V, Nb, Ta, Cr, W 및 Sc로 이루어지는 제 1금속군으로부터 선택된 적어도 하나를 포함하며; 상기 제 2전극층은 Ni, Pd 및 Co로 이루어지는 제 2금속군으로부터 선택된 적어도 하나를 포함하고; 상기 제 3전극층은 Au를 포함하는 것을 특징으로 하는 전극 구조.

청구항2

제 1항에 있어서, 상기 제 1전극층의 두께가 1 내지 500nm의 범위내인 것을 특징으로 하는 전극 구조.

청구항3

제 1항에 있어서, 상기 제 2전극층의 두께가 5nm 이상인 것을 특징으로 하는 전극 구조.

청구항4

제 1항에 있어서, 상기 제 3전극층의 두께가 50nm 이상인 것을 특징으로 하는 전극 구조.

청구항5

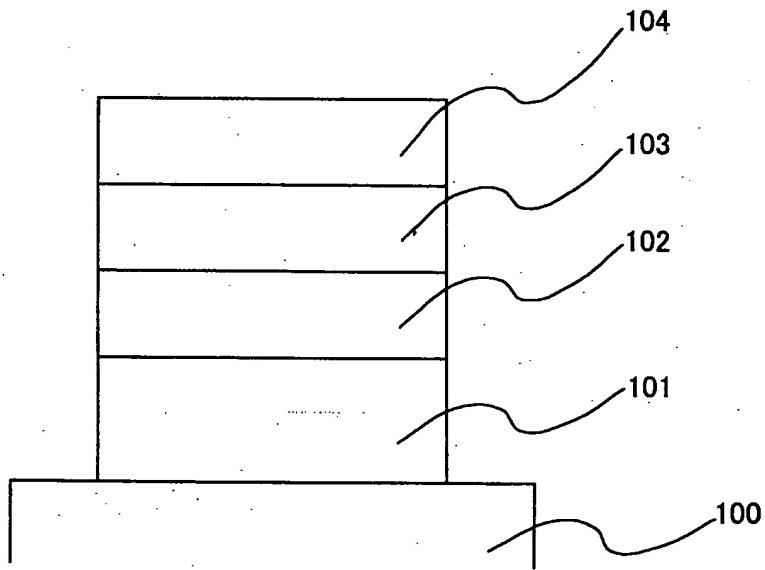
제 1항에 있어서, 상기 제 1전극층은 상기 제 1금속군에 포함된 금속의 질화물을 포함함과 동시에, 상기 제 2금속군에 포함된 금속과 Ga와의 화합물을 포함하는 것을 특징으로 하는 전극 구조.

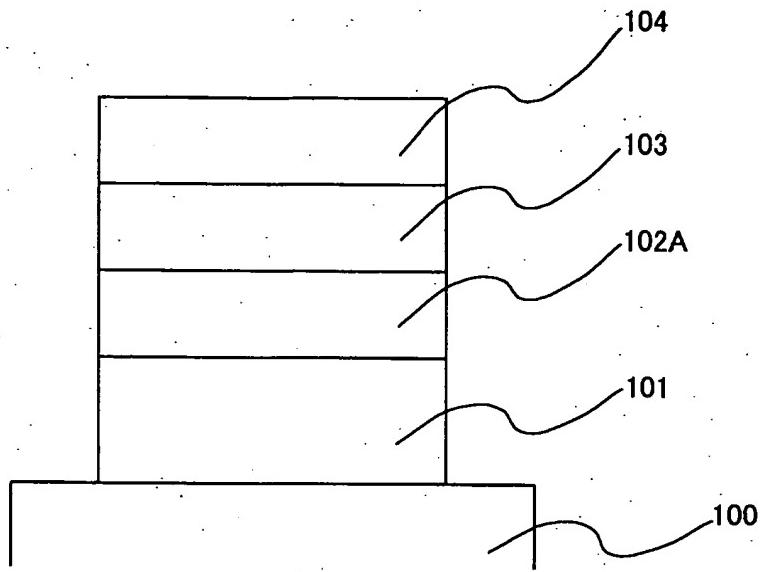
청구항6

p형 III족 질화물 반도체층 상의 전극 구조의 제조 방법에 있어서, Ti, Hf, Zr, V, Nb, Ta, Cr, W 및 Sc로 이루어지는 제 1금속군으로부터 선택된 적어도 하나를 포함하는 제 1전극층을 상기 반도체층 상에 퇴적하고; Ni, Pd 및 Co로 이루어지는 제 2금속군으로로부터 선택된 적어도 하나를 포함하는 제 2의 전극층을 상기 제 1전극층 상에 퇴적하며; Au를 포함하는 제 3의 전극층을 상기 제 2전극층 상에 퇴적하는 공정을 포함하는 것을 특징으로 하는 전극 구조의 제조 방법.

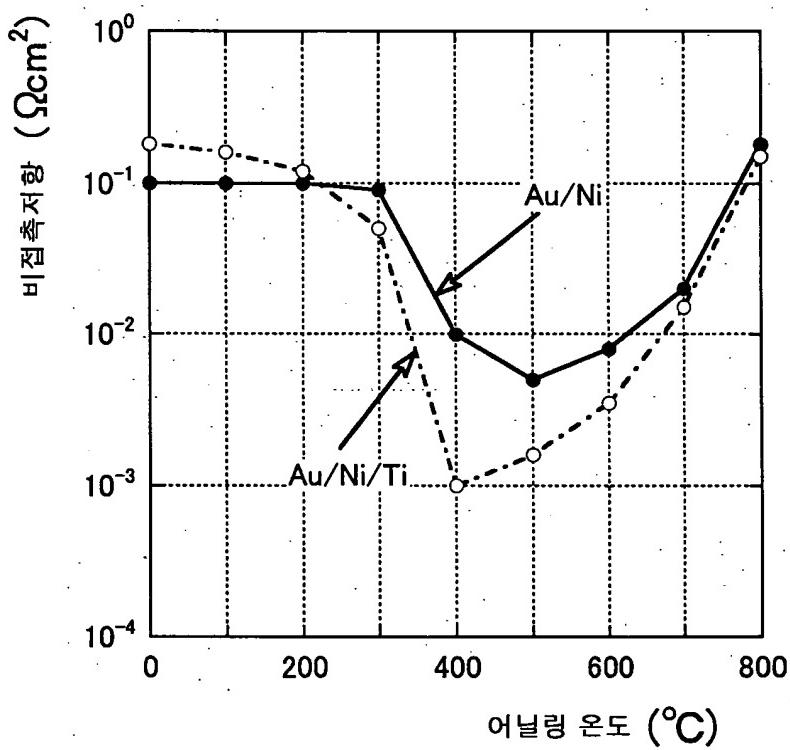
청구항7

제 6항에 있어서, 상기 제 1부터 제 3의 전극층이 퇴적된 후에 N₂분위기 중, Ar분위기 중 또는 진공 중에서 300 내지 700°C의 범위 내의 온도하에 상기 전극 구조를 열처리하는 공정을 더 포함하는 것을 특징으로 하는 전극 구조의 제조 방법.

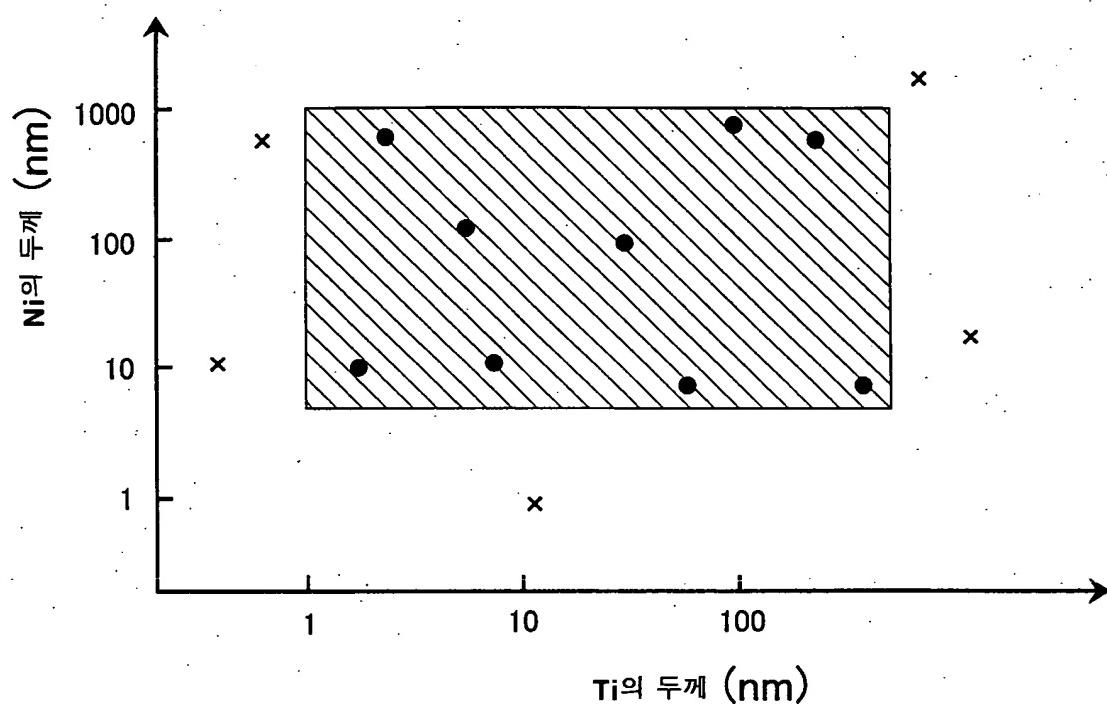
도면**도면1****도면2**



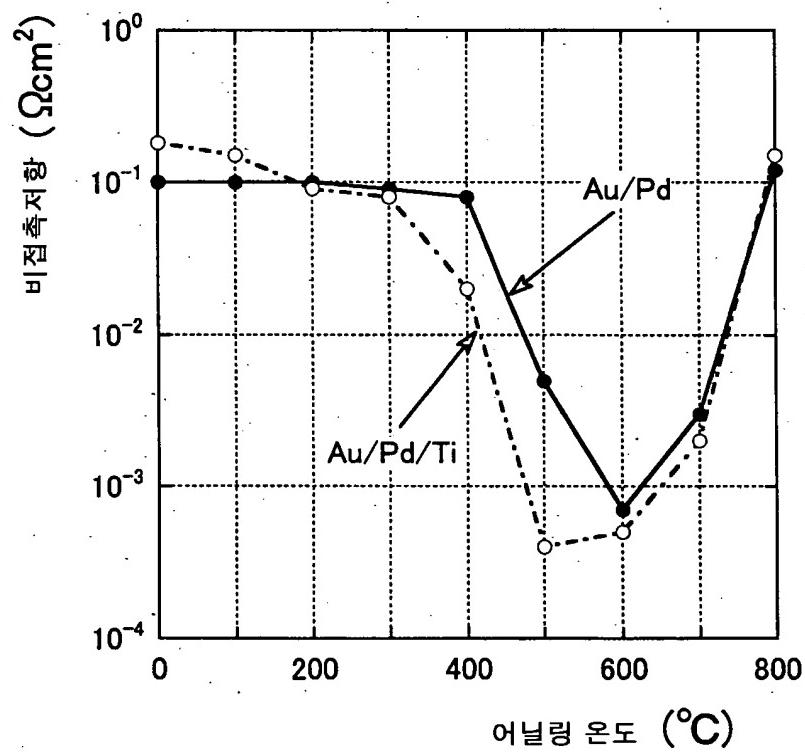
도면3



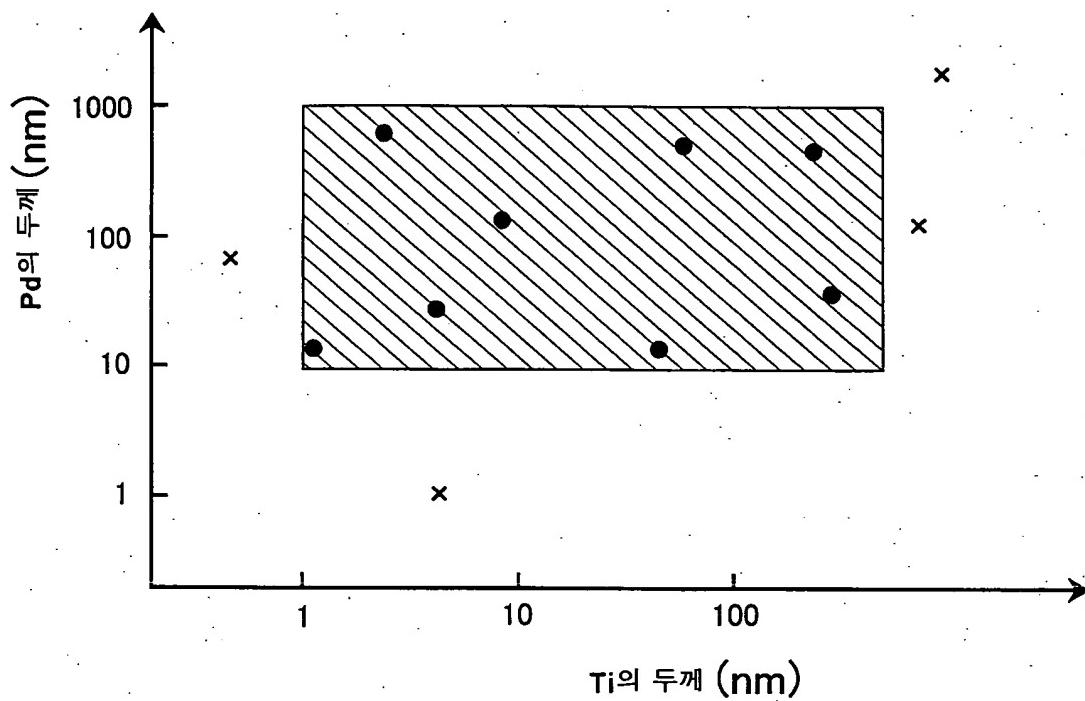
도면4



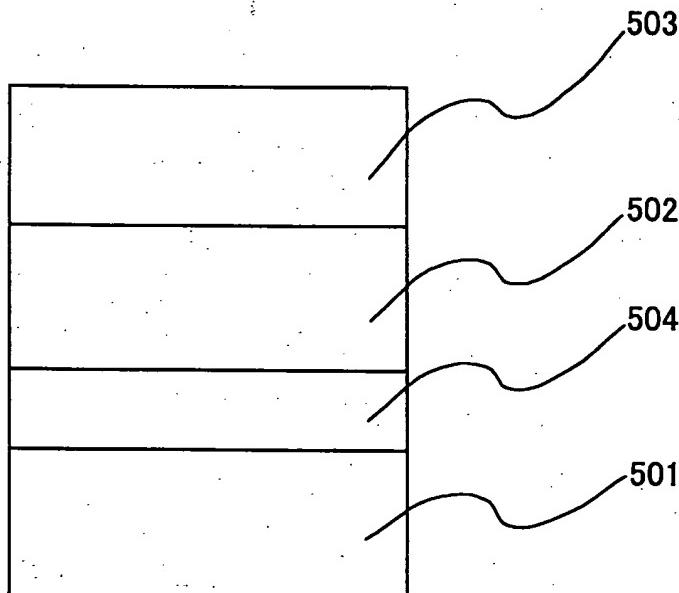
도면5



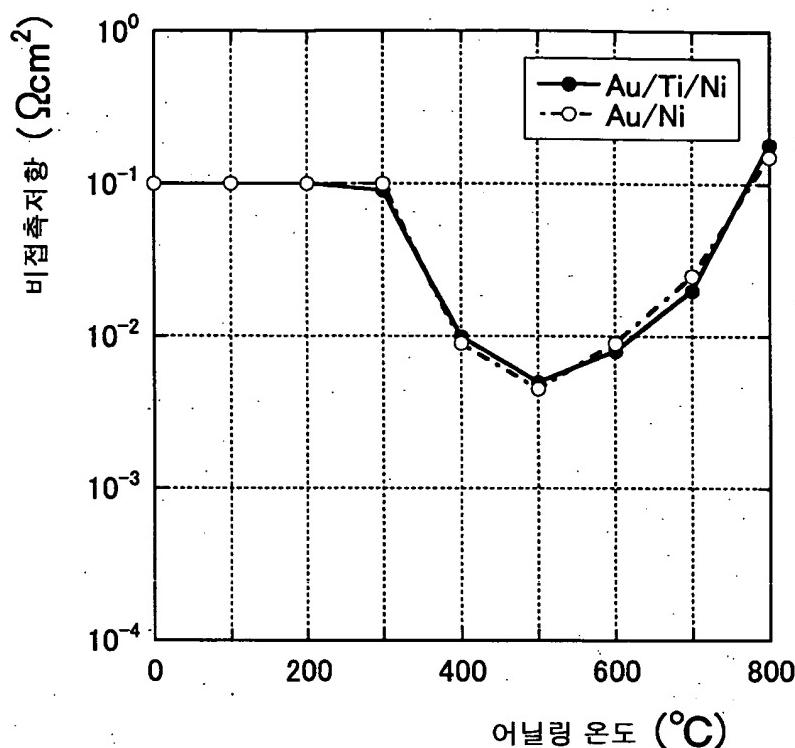
도면6



도면7



도면8



도면9

